

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-108287

⑬ Int.Cl.⁴

H 04 Q 11/04
H 04 L 11/00

識別記号

1 0 2

庁内整理番号

7459-5K
H-7830-5K

⑭ 公開 昭和61年(1986)5月26日

審査請求 有 発明の数 1 (全10頁)

⑮ 発明の名称 通信ネットワーク上で等時性と非等時性の両方のデータを同時に伝送する方法

⑯ 特 願 昭60-243779

⑰ 出 願 昭60(1985)10月30日

優先権主張 ⑱ 1984年10月30日 ⑲ 米国(US) ⑳ 666474

㉑ 発 明 者 ジョン・レズリー・ベ アメリカ合衆国、カリフォルニア州、エスコンディード
ル イースト・ワシントン・アベニュー、2140

㉒ 出 願 人 バロース・コーポレー アメリカ合衆国、ミシガン州、デトロイト バロース・ブ
ジョン レイス(番地なし)

㉓ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

通信ネットワーク上で等時性と非等時性の両方のデータを同時に伝送する方法

2. 特許請求の範囲

ループを形成するように直列に相互接続されたそれぞれの入力と出力の応答を有する複数のステーションを含むタイプの通信ネットワーク上で等時性と非等時性の両方のデータを同時に伝送する方法であって、

第1の固有の信号パターンと、各固有の信号パターンと次のパターンとの間に一定の時間間隔を伴って少なくとも1回起こる第2の固有の信号パターンを前記ループを巡って循環させ、

前記ステーションの1つにおいて一定の速度でカウントし、そのカウントは前記第1の固有の信号パターンの受取りによって開始し、

前記ループ上に非等時性データを搬送むとともに、前記搬送が起こったときに前記カウントしてある1つのステーション内へ信号をストアし、

前記1のステーションにおいて前記速度で再カウントし、その再カウントは前記第1の固有の信号パターンの次の受取りによって開始し、

その再カウントが、前記ストアされた信号によって表わされるカウントと一致したときに、前記非等時性データが除去されることを示す制御コードを前記ループ上に送り、

これら上記のステップと同時に、

前記固有の信号パターンの各々の受取りの直後の所定の時間間隔においてもう1つのステーションから等時性データを搬送むことを特徴とする通信ネットワークにおいて等時性と非等時性の両方のデータを同時に伝送する方法。

3. 発明の詳細な説明

発明の背景

この発明は電子的通信に関し、特にローカルエリアネットワーク上で等時性と非等時性のデータを同時に伝送するための方法と装置に関するものである。

ローカルエリアネットワークは複数のステーシ

ョンを含み、それらの各々は入力ポートと出力ポートを有している。これらのステーションは1つまたはそれ以上のループとして相互接続されており、各ステーションの出力ポートは次のステーションの入力ポートに接続している。もしネットワーク内に1以上のループが存在すれば、それらのループは1またはそれ以上のブリッジステーションによってペアを形成するように相互接続される。

等時性データは、一定の周期的な間隔で、ネットワーク上のステーションによって複数の部分として伝送されるデータである。125マイクロ秒ごとに0.16マイクロ秒でデータの1つのバイトを伝送するステーションは等時的に伝送している。そのような伝送は、たとえば電話通話の音声サンプルが伝送されているときに起こる。

非等時性データはすべてが一時に1つのブロックとして伝送されるデータである。たとえば、バイトの連続するブロックとして一時に70バイトのデータを伝送するステーションは非等時的に伝送している。そのような伝送は、たとえば1つの

- 3 -

が持たなければならない回路の量とステーションを通ることによる遅延は、どちらもデータがそのネットワーク上で送られる方法に依存する。したがって、本発明の主目的は、ローカルエリアネットワーク上で等時性と非等時性のデータを同時に伝送する改良された方法を提供することであり、それによって、ネットワーク上のステーションを通る遅延とステーション内の回路を減少させる。

発明の概要

この目的とその他の目的は、等時性と非等時性のデータが同時に伝送される本発明による方法によって達成され、その方法は、

第1の固有の信号パターンと、各固有の信号パターンと次のパターンの間の一定の時間間隔を伴って少なくとも1回起こる第2の固有の信号パターンをローカルエリアネットワークループを巡って循環させ、

そのループ上の1つのステーションにおいて一定の速度でカウントし、そのカウントは第1の固有信号パターンの受取りによって開始し、

- 5 -

ステーションからもう1つのステーションに記録またはファイルが送られているときに起こる。

ローカルエリアネットワークの1つの重要なパラメータは、1つのステーションの入力ポートから出力ポートにデータを送るためにかかる時間量である。この遅延は短いことが好ましい。なぜならば、あるタイプの等時性データ（たとえば、電話の音声サンプル）は上段時間内にローカルエリアネットワークループのすべてのステーションを巡って周回しなければならないからである。すなわち、ステーションあたりの遅延が短くなるにつれて、ループ上のステーションの全数を増大させることができる。

ローカルエリアネットワークのもう1つの重要なパラメータは、ネットワークにおいて等時性と非等時性のデータを伝送するために各ステーションが備えなければならない回路の量である。ステーションにかかるコストが低くなるように、この回路は最小であることが好ましい。

ネットワーク上で伝送するためにステーション

- 4 -

ループ上に非等時性データを搬送むとともに、その搬送が起こったときにカウントしているその1つのステーション内に信号をストアし、

その1つのステーションにおいて一定の速度で再カウントし、その再カウントは第1の固有信号パターンの次の受取りによって開始し、

その再カウントが、ストアされた信号によって表わされるカウントと一致したときに、非等時性データが除去し得ることを示す制御信号をループ上に送り、

上記のステップと同時に、

各固有信号パターンの受取りの直後の所定の時間間隔においてもう1つのステーションから等時性データを搬送むステップを含む。

実施例の説明

第1図を参照して、2つの過橋ループ11と12を含むローカルエリアネットワーク10が示されている。ループ11と12の各々は複数のステーション13で形成されており、各ステーションは入力ポート13aと出力ポート13bを有して

- 6 -

いる。通信ループのすべてのステーションは信号キャリア（たとえば、光ファイバ）によってシリーズに接続されており、1つのステーションの入力ポートは次のステーションの入力ポートに接続している。

ループ上の1つのステーションが同じループ上のもう1つのステーションにメッセージを送信するとき、その送信しているステーションからのメッセージはすべてのステーションを通してループを巡り、そしてその送信ステーションに戻る。メッセージを受信すべきステーションをそのメッセージが通るとき、そのステーションはそのメッセージの行先としての自分のアドレスを認識し、それに応答して、そのステーションは自分自身の使用のためにそのメッセージを内部的に複製する。また、その受信ステーションは、メッセージが受取られたことを送信ステーションに知らせるために、ループを巡るメッセージのステータスビットを修正することができる。そして、そのメッセージがそれを最初に送り出したステーションに戻っ

- 7 -

らそのメッセージを除去する。

それに続いて、ブリッジ14はメッセージをループ12上に置く。次に、受信ステーションがそのメッセージ内のアドレスを確認し、それはそのメッセージを複製する。今回も、メッセージがその受信ステーションを通るとき、その受信を示すようにステータスビットが修正され得る。次に、メッセージがブリッジによって受取られるとき、ブリッジはメッセージをループ12から除去する。

上述のようにループ11と12を巡ってメッセージを送るため、各ステーションはメッセージがそのステーションを通るときにそのメッセージの一部を一時的にストアしなければならない。言い換えれば、各ステーションは、メッセージがループを巡るときに或る量 Δ だけメッセージを遅延させる。この遅延は、メッセージがそのステーションにアドレスされているか否か、またはメッセージがそのステーションによって送り出されたものであるか否かを確認することができるために必要である。また、上記の判断をなすために、各ス

- 9 -

たときに、そのステーションはループからそのメッセージを除去する。

また、第1図のローカルエリアネットワークにおいて、ループ11上の任意のステーションからループ12上の任意のステーションに、およびその逆にメッセージを通すことを能動化するブリッジ14が与えられている。ループ11上のステーションがループ12上のステーションにメッセージを送るとき、次のシーケンスが起こる。まず、ループ11上の送信ステーションからのメッセージはループに沿ってブリッジに至る。そこで、そのブリッジはメッセージ内のアドレスを確認して、そのメッセージがループ12上のステーションに送られるものであることを認識する。それに応答して、ブリッジはメッセージをコピーし、そしてそのブリッジがメッセージを受取ったことを示すために、ループ11を巡るそのメッセージ内のステータスビットを修正する。メッセージを最初にループ11上に送り出したステーションにメッセージが戻ったとき、そのステーションはループか

- 8 -

クションにおいて或る量の論理が必要とされる。本発明によって、各ステーションが導入する遅延と各ステーション内の論理回路が大幅に減少される。

これがどのように達成されるかを示すために、ここで第2図が参照されるべきであり、それはメッセージがループ11と12を巡って通されるフォーマットを図解している。このフォーマットは複数のフレームからなっており、それらはフレーム0、フレーム1などで示されている。各フレームは所定の回数のバイトからなっている。この数は、バイトがループ上に送られる速度で割られれば125マイクロ秒に等しくなるように選択される。すなわち、ループ上のそれぞれのステーションは125マイクロ秒ごとにその入力ポート上に1つの完全なフレームを受取る。

或る特定の例として、秒あたり50メガビットの速度で、各ステーションの入力ポート上でビットが受取られると仮定しよう。そのとき、各フレーム内のバイトの数は秒あたり50メガビットを

- 10 -

125マイクロ秒倍して8で割ったものであり、それは $78\frac{1}{4}$ に等しい。これらのすべてのバイトは第2図に示された各フレーム内に割当てられる。

各フレームの最初の $10\frac{1}{4}$ バイトはアイドルキヤクタである。そして、その最初のフレームの次のバイトはインデックスフレーム修飾子(IFIQ)であり、一方、残りのフレームの次のバイトは追従フレーム修飾子(FFQ)である。各IFIQとFFQのバイトに続くのは10のロットであり、それらは各々77バイトからなっている。

第2図の参照番号20は、各ロット内のバイトがどのように割当てられるかを示している。その最初のバイトは、制御情報を含む制御バイトCTLである。B3の16進コードは、ロットが空白であって、非等時性メッセージを送るために任意のステーションによって用いられ得ることを示す。D5の16進コードは、ロットが充填であって非等時性メッセージを含んでいることを示す。そして、8Fの16進コードはロットが等

- 11 -

タのバイトを伝送することができるなどである。

或る特定のステーションがどのチャンネルに割当てられるかは、ループ上のステーションの1つをマスタコントローラに任命することによって達成される。そのとき、等時性データを送ろうとするステーションは、マスタコントローラに非等時性メッセージを送ることによってチャンネルをリクエストする。それに応答して、マスタコントローラは、どのチャンネルが使用し得るかを示す非等時性メッセージを、そのリクエストしているステーション(リクエスト)に送る。続いて、そのリクエストが等時性チャンネルの使用を終了した後に、それはそのチャンネルがもう1つのステーションに再割当てされ得ることを示す非等時性メッセージをマスタコントローラに送る。

参照番号21は、フレームが1つのステーションから次のステーションにループを巡って送られるときのそのフレーム内のバイトについての好ましいエンコーディングを示す。論理1のビットは1期間の高周波数であり、論理0のビットは1ピ

- 13 -

時性データチャンネルを含んでいることを示す。

もしロットが非等時性メッセージを運ぶならば、制御バイトの後の次の2つのバイトはメッセージの行先アドレス(DA)を含む。すなわち、DAはメッセージが受取られるべきステーションのアドレスである。そのとき、DAアドレスの後の次の2つのバイトは、そのメッセージを発生したステーションのアドレス(ソースアドレスSA)を含む。ロット内の残りのすべてのバイトは、必要であろう任意のステータスビットとエラーチェックビットを加えた実際の非等時性メッセージを含む。

一方、もしロットが等時性データを運ぶならば(すなわち、もし制御バイトが8Fであるならば)、制御バイトの後の各バイトは等時性データの個別で独立なチャンネルの1つのバイトである。1つのステーションはそれぞれのフレームのチャンネル0において等時性データのバイトを伝送することができ、もう1つのステーションはそれぞれのフレームのチャンネル1において等時性デ

- 12 -

ットの周波数の半分であり、そしてアイドルは1ビットの周波数の $1/4$ である。すなわち、アイドルは1または0の周波数で形成されない固有の波形であって、それは開始時を除けばフレームの間においてどこにも起こらないものである。

上記のエンコーディングによって、IFIQバイトはアイドルのシーケンスの直後に続く最初のバイトとして規定される。これは、そのバイトが予め割当てられたビットパターンを有することが条件である。同様に、FFQバイトはアイドルのシーケンスの直後に続くその最初のバイトとして規定され、これはそのバイトがもう1つの予め割当てられたビットパターンを有することが条件である。好ましくは、そのIFIQとFFQのバイトのために用いられる特定のビットパターンは本質的に互いに異なっており、したがって、それらはそれらのビットのいくつかが反転されたとしても識別され得る。適切には、FFQは16進法の25であり、IFIQは16進法の19である。

ここで、或る特定のループ上で起こるフレーム

- 14 -

の数はそのループを巡る全遅延に依存する。次に、これは、そのループ上のステーションの数、各ステーションがその入力と出力のポートの間で一時的にストアするバイトの数、およびステーション間のケーブル遅延に依存する。たとえば、ループ11上に1,000ステーションが存在し、各ステーションはその入力と出力のポート間に3バイトを一時的にストアし、そしてケーブル遅延が重要でないと仮定しよう。すなわち、トータルで3000バイトがループ内にストアされる。第2図の各フレームは781バイトからなっており、そしてトータルで4フレームがループを循環する。

実際には、任意の瞬間において、3つの充満フレームと第4フレームの少数部分のみがループ上に存在する。これは、そのループが3,000バイトをストアできるだけだからである。残りのバイトをストアするために、1つのステーションはすべてのバイトを保持するための付加的な遅延を含まなければならない、さもなければ、そのループはすべてのバイトを収容することができない。これ

- 15 -

それぞれ導体31と32によって直並列シフトレジスタ33へ送られ、そしてそれらのビットはバイト内に収容される。バイトが収容した後に、それは保持レジスタ(HR)34に転送される。これは、オシレータ30によって導体35上に発生されるバイトクロック(BYC)に反応して起こる。アイドルキャラクタが受取られているときには、バイトクロックは発生されない。最初のバイトクロックは最初の8つのバイナリデータビットBDがシフトレジスタ33内へ入った後に起こり、次のバイトクロックは8ビット値後に起こるなどである。

保持レジスタ34からデータは導体37によってマルチプレクサ38に送られ、そのマルチプレクサからデータは導体39によって並直列シフトレジスタ40に至る。そこから、データは周波数エンコードされて出力ポート13bに送られる。すなわち、コンポーネント32, 33, 34, 37, 38, 39, および40によって形成される経路は、そのステーションが静止状態にある

- 17 -

は第1図に示されており、フレーム1, 4, および3は全体がループ上にあるとして示されており、フレーム2は一部がループ上にあって一部がステーション13の1つ内に一時的にストアされているとして参照番号15で示されている。好ましくは、このステーションはマスタステーションであって、それは周期的な時間間隔でIFQとFFQのバイトを送り出すことによってそのネットワークを最初にフォーマット化する。

ここで第3図を参照して、典型的なステーション13の構成と内部動作が説明される。周波数エンコードされたデータはステーションの入力ポート13a上に受取られ、そしてそれはフェーズロックオシレータ(PLO)30に至る。オシレータ30は周波数エンコードされたデータからビットクロック(BIC)を生じ、そしてその周波数エンコードされたデータをバイナリデータ(BD)に変換し、この場合に高電圧は1であって低電圧は0である。

ビットクロックBICとバイナリデータBDは

- 16 -

ときに信号が入力と出力のポート間で従う経路である。

第3図のステーションにはカウンタ41も含まれている。それはバイトクロックBYCを受取るために導体35に接続されているクロック入力CKを有している。動作において、カウンタ41はBYC信号を77で分周し、そして77バイトクロック信号が受取られる度に導体42上にスロット信号のスタート(SOS)を送り出す。

導体42はもう1つのカウンタ43のクロック入力に接続している。このカウンタは新しいスロットがそのステーションを通り始める度ごとに1だけインクリメントされる。すなわち、カウンタ43はスロット0がそのステーションを通っているときに0のカウントを含んでおり、スロット1がそのステーションを通っているときに1のカウントを含んでいるなどである。信号SOSはインクリメントカウンタ43に送られる。なぜならばそれは各新しいスロットのスタートにおいてパルスを生じるからである。

- 18 -

カウンタ41と43を初期設定するために、デコーダ44が与えられている。それは導体37上に保持レジスタ信号を受取り、そしてフレームの最初のバイトが保持レジスタ内にあるときを示す信号BY1をPL0から導体45で受取る。もし信号BY1が起こったときに保持レジスタ内のビットパターンが1FQに等しければ、デコーダはカウンタ43のリセット端子Rに導体46でリセットパルスを送る。また、もし信号BY1が起こったときにデコーダが保持レジスタ内に1FQまたはFFQのいずれかを検知すれば、それはカウンタ41のリセット端子Rに導体47でリセットパルスを送る。

カウンタ43におけるカウントは、ランダムアクセスメモリ(RAM)49のアドレス入力ADに導体48で送られる。このRAMは、ループ上の各スロットのためのそれぞれの1ビットワードを含んでいる。RAMから読出される(DO)データは導体50上に送られ、RAM内へ書込まれる(DI)データは導体51上に送られ、そして

- 19 -

タを通すようにマルチプレクサ38に指示する信号(XMTDATA)を導体54上に送り出す。

また、コントローラ53は、カウンタ43内に含まれるアドレスでメモリ49内にバイナリ1を書込む。これは、導体51上に1を置いて、導体52にパルスを生じることによってなされる。その後、コントローラ53が次のSOS信号を受取って、それに応答してコントローラ53がデータの伝送を停止するまでXMTDATAは送られ続ける。それは、保持レジスタから信号を通すようにマルチプレクサ38に指示する信号を導体54上に送り出すことによってなされる。

その後、コントローラ53は各信号SOSを受取って保持レジスタ34の内容を調べる。そのときに、もし保持レジスタ34が充満信号(D5)を含んでいれば、コントローラ53はカウンタ43内のアドレスでRAM49から読出されつつあるデータを調べる。もしDOデータが1であれば、そのときステーションを通過しているスロットは充満である。なぜならば、そのステーションは以前

- 21 -

満パルス(WR)は導体52上に送られる。これらの導体は制御回路53に接続する。適切には、回路53はマイクロプロセッサである。

コントローラ53が受取る他の信号は、導体35上のバイトクロックBYC、導体42上のスロット信号のスタート(SOS)、および導体37上の保持レジスタの内容である。これらの信号は、通信ループ上にデータを伝送しかつそこからデータを受取るために以下のように利用される。

各伝送動作のスタートにおいて、コントローラ53はまず信号SOSをモニタする。それが起こったとき、コントローラ53は保持レジスタ34の内容を調べる。もしその保持レジスタが空白コード(83)を含んでいてステーションが送り出すべき非等時性データを有しているならば、コントローラは空白コードを充満コード(D5)に変える。これは、導体55上にD5を送り出して、1バイト時間にそれらの信号を通すようにマルチプレクサ38に指示することによってなされる。次に、コントローラ53は、伝送されるべきデー

- 20 -

にその中へ非等時性データを曲込んだからである。すなわち、コントローラ53はそのフレームを空白としてマークする。それは、導体55上に空白コード(83)を生じかつ1バイトクロック時間にそれをマルチプレクサ38に通し、その後保持レジスタ34の内容をそのマルチプレクサに通すことによってなされる。また、コントローラ53はカウンタ43内のアドレスで0ビットをRAM49内に書込む。

非等時性メッセージを受取るために、コントローラ53は各SOS信号を受取ったときに保持レジスタ34の内容を調べ、それが充満コード(D5)を含んでいるか否かを判断する。もし含んでいるならば、コントローラ53は次の2バイトクロック(BYC)において保持レジスタ34の内容を調べ、行先アドレスDAがそのステーションのアドレスと等しいか否かを判断する。もしDAとステーションアドレスが一致すれば、コントローラ53は、次のSOS信号が受取られるまで、各バイトクロックBYCにおいて保持レジスタ3

- 22 -

4の内容をコピーする。

次に、ステーションが送るべき等時性データを有していると仮定しよう。その場合、保持レジスタが等時性制御コード(8F)を含んでいるか否かを判断するために、SOS信号を受取ったときに保持レジスタ34の内容を調べる。もし含んでいるならば、コントローラ53はバイトクロックを受取る度ごとにそれをカウントし、そのカウントは前にステーションの割当てられたチャンネルが到達されるまで続く。その到達が起こったとき、コントローラ53は導体54上に信号を送り、その信号はマルチプレクサ38が1バイト時間にXMTDATAを通すようにさせ、その後再び保持レジスタ34の内容がそのマルチプレクサへ通される。同様に、もしステーションが読出すべき等時性データを有しているならば、コントローラ53は、保持レジスタが前もって割当てられたチャンネルを含んでいることをバイトカウンタが示したときに、保持レジスタの内容をストアする。

上述のネットワークの1つの特徴は、各ステー

- 23 -

代わりに、カウンタ41、43およびRAM49が伝送されたメッセージの戻りを信号で知らせる。これらのコンポーネントは、伝送されたメッセージの戻りを信号で知らせることができる。なぜならば、伝送ネットワーク上の最初のフレームは続くフレームから識別し得るからである。具体的には、IFQバイトはFFQバイトと異なっている。

上述のネットワークのもう1つの特徴は、スロットを充満から空白に変えるために、ブリッジ回路において少量の回路のみが必要とされることである。ブリッジは1つのループ上の任意のステーションからのメッセージを受取ってそれを他のループ上に伝送し、ソースアドレスバイト(SA)はそのメッセージを発生したステーションのアドレスを含んでいることを思い出そう。すなわち、ブリッジが伝送したメッセージをそれが受取るときを判断するためにアドレス比較アプローチを用いるブリッジは、同時にネットワーク上にブリッジが有することのできる各メッセージについての1つのコンパレータと1つのアドレス保持レジス

- 25 -

ションがその入力と出力のポート間で非常に小さな遅延のみを導入することである。直並列シフトレジスタ33と並列シフトレジスタ40によって生じる遅延以外に、入力と出力のポート間における遅延は、保持レジスタ34によって生ぜられるようにわずかに1バイト時間である。

メッセージがループの全周を巡ったときを判断してスロット制御コードを充満から空白に変えるために、非等時性メッセージの伝送を開始した各ステーションがその入力ポート上のメッセージのソースアドレスを比較しなければならないならば、さらに長い遅延が必要とされよう。特に、スロット制御コード、ソースアドレス(SA)、およびそれらの間のすべてのバイト(たとえば、行先アドレスバイトDA)は、入力と出力のポート間でステーション内における遅延によってストアされなければならないであろう。

しかし、第3図のステーションは、それがメッセージを送り出したか否かを判断するためにメッセージのソースアドレスを比較することはしない。

- 24 -

タを必要としよう。しかし、上述のネットワークにおいて、ブリッジステーションはそれが伝送したメッセージを受取るときを検知するためにコンポーネント41、43、および53を有するだけである。

開示されたネットワークのさらにもう1つの特徴は、スロットを充満から空白に変えるために用いる方法が非常に信頼し得るということである。上記において指摘されたように、IFQとFFQのバイトはそれらのビットのいくつかが反転されたとしても認識され得る。これらのバイトは、回路コンポーネント41、43、および49の動作に影響するもののみである。すなわち、それらのコンポーネントはメッセージがループを巡ってそのメッセージを最初に伝送したステーションに戻ったときを正しく信号で知らせ、それはたとえビットが伝送の間に反転されているときにも正しく信号で知らせる。これに比較して、アドレス比較回路は明らかに、もしソースアドレス内のビットが伝送の間に反転されているならば、伝送された

- 26 -

メッセージの戻りを検知しないであらう。

開示されたネットワークのもう1つの特徴は、スロットのトラックを維持する各ステーション内のカウンタ43がI F Qバイトの各通過時に再始動されることである。すなわち、もし伝送エラーがノイズによってカウンタ内に起これば、そのエラーは次のI F Qバイトが受取られたときに除去されてカウンタが再び同期化される。

開示されたネットワークのもう1つの特徴は、他のステーションの動作を変えずに任意の数のフレームがネットワークへ加えることができ、またはそこから除去し得るということである。フレームが加えられるとき、カウンタ43は単により大きな数までカウントアップし、フレームが削除される時、カウンタ43はより小さな数までカウントアップするだけである。ステーションがネットワークに加えられるまたそこから削除される時、フレームが加えられるまた除去され得る。

開示されたネットワークのさらにもう1つの特徴は、最初にI F QとF F Qのバイトを送信する

- 27 -

された。しかしながら、これらに加えて、本発明の性質と精神から離れることなく多くの変更や修正がこれらの詳細になされ得る。たとえば、第2図のスロットのすべてが非等時性データを運ぶために用いられてもよく、その場合、ステーションは以前に伝送したデータを除去すべきときを判断するためにカウンタ41と43と関連して依然としてI F Qバイトを用いることができる。したがって、本発明はこれらの詳細に限定されるべきではなく、特許請求の範囲によって規定される。

4. 図面の簡単な説明

第1図は本発明と合同するローカルエリアネットワークを示す。

第2図は第1図のネットワーク上で等時性と非等時性のデータが循環させられるフォーマットを示す。

第3図は第1図のネットワーク上のステーションを示し、それは第2図のフォーマットによって等時性と非等時性のデータを伝送しかつ受取る。

図において、10はローカルエリアネットワ

- 29 -

マスタステーション15はその伝送の始まる前にネットワーク上のステーションの数を知る必要がないということである。それは単にI F Qバイトを送信するだけであり、次にそれはI F Qバイトがもどされるまで125マイクロ秒ごとにF F Qバイトを送信する。そのとき、それは前のF F Qの後の125マイクロ秒にF F Qが再び伝送されるように内部遅延を調節する。

好ましくは、マスタステーションはネットワーク上にあるフレームの全数をそれ自身の中へストアする。これは、最初のI F Qが戻ってくるまで、その最初のI F Qの後に伝送するすべてのフレームをカウントすることによってなされる。次に、そのカウントがストアされた後に、マスタステーションはB Y 1信号をカウントすることによってフレームをカウントし、フレームの全数が受取られた後に、マスタは前に伝送したI F Qバイトを吸収して新しいI F Qバイトを再び生じる。

本発明による好ましいローカルエリアネットワークとそれを動作させる方法はこれで詳細に説明

- 28 -

く、11と12は通信ループ、13はステーション、13aは入力ポート、13bは出力ポート、14はブリッジ、30はオシレータ、33は直並列シフトレジスタ、34は保持レジスタ、40は並直列シフトレジスタ、41と43はカウンタ、49はランダムアクセスメモリ、53は制御回路を表わす。

特許出願人 バロース・コーポレーション

代理人 弁理士 深 見 久 郎

(ほか2名)



- 30 -

図面の浄書(内容に変更なし)

FIG.1.

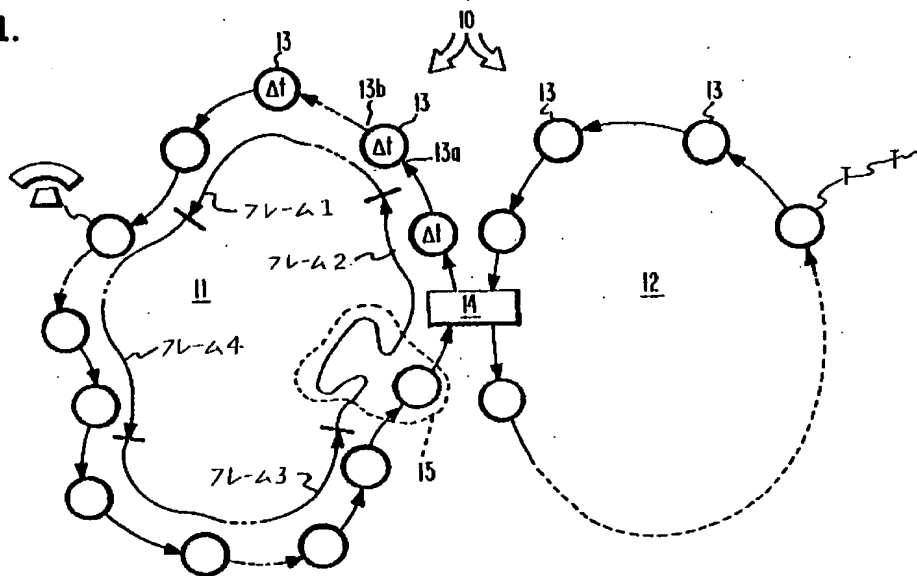


FIG.2.

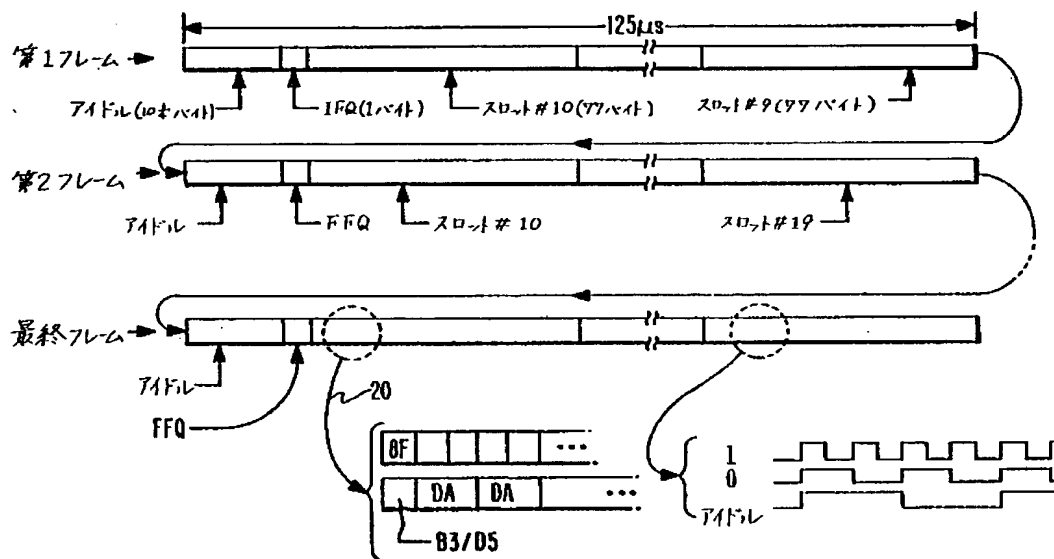
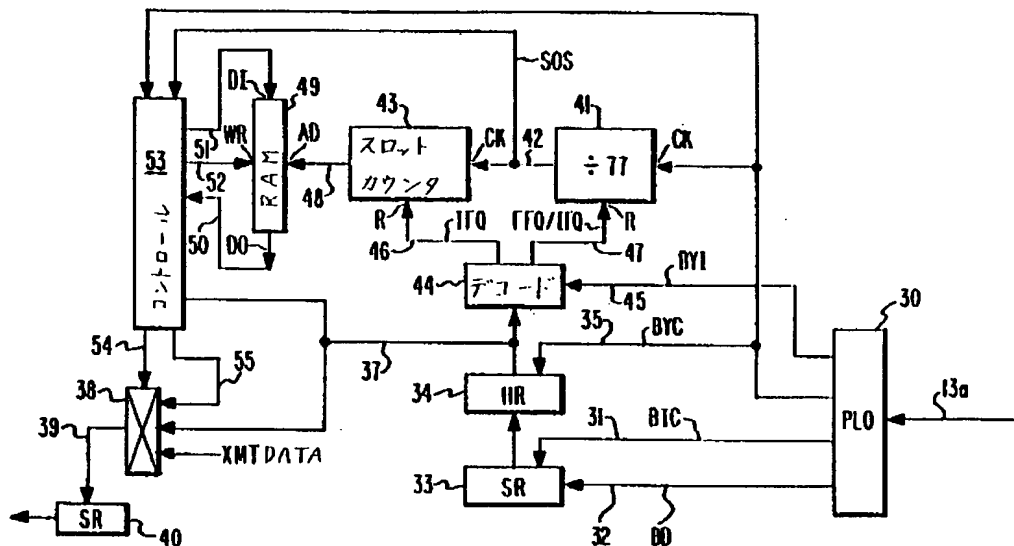


FIG. 3.



價見諸 証明書差火書-程出

手続補正書（方式）

6. 補正の対象

圖面全圖

昭和60年11月25日

7. 補正の内容

特許庁長官殿

1. 事件の表示

昭和60年特許願第243779号

2. 発明の名称

通信ネットワーク上で等時性と非等時性の両方のデータを同時に伝送する方法

3. 補正をする者

事件との関係 特許出願人

住 所 アメリカ合衆国、ミシガン州、デトロイト

パロース・ブレイス(番地なし)

名 称 バロース・コーポレーション

代表者 ボベット・ジョーンズ

4. 代理人

住 所 大阪市東区平野町2丁目8番地の1 平野町八千代ビル

電話 大阪 (06) 222-0381 (代)

氏 名 弁理士(6474) 深見久郎

5. 補正命令の日付

白兎補正

湖壘を用いて鮮明に描いた図面全図を別紙のと
り。なお内容についての変更はありません。

以上